

FIG. 5 is a block diagram showing in detail the configuration of the depth buffer memory 8 for performing a hidden processing algorithm. Reference numerals 1 to 12 show the components that are the same as or correspond to those in FIG. 4, respectively. Each of reference numeral 31, 32, and 33 shows coordinate data generated in an X-Y-Z three dimensional coordinate system by the straight line generator 7. The coordinate data 31 represents X_c , the coordinate data 32 represents Y_c , and the coordinate data 33 represents Z_c . Reference numeral 34 is a strobe signal for sampling each of the coordinate data 31, 32, and 33. Reference numeral 35 represents a Z coordinate data value z read from the depth buffer memory 8. Reference numeral 36 represents a comparator for comparing Z coordinate values. The comparator compares the coordinate data Z_c 33 and the coordinate data Z 35 and then outputs an output 37. This output 37 is a flag signal representing $Z_c \leq Z$, which serves as a write signal for the depth buffer memory 8 and a write flag for the frame buffer memory 9.

1. First, the depth buffer memory 8 is initialized with the minimum value (A area).

⑫ 公開特許公報(A) 平1-244585

⑤Int. Cl.⁴

識別記号

庁内整理番号

④公開 平成1年(1989)9月28日

G 06 F 15/72

4 5 0

A-6615-5B

審査請求 未請求 請求項の数 1 (全6頁)

⑧発明の名称 図形データクリップ処理方式

⑨特 願 昭63-71495

⑩出 願 昭63(1988)3月25日

⑫発 明 者 西 出 政 司 神奈川県鎌倉市上町屋325番地 三菱電機株式会社コンピュータ製作所内

⑬出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑭代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

図形データクリップ処理方式

2. 特許請求の範囲

デブスバッファメモリを備え隠面・隠線処理を行うラスタスキャン方式の3次元図形表示装置において、前記デブスバッファメモリを用いて自由な多角形によるクリップ処理を実行することを特徴とする図形データクリップ処理方式。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、3次元図形表示装置の自由な多角形による図形データクリップ処理方式に関するものである。

(従来技術)

第4図に、デブスバッファメモリを用いて隠面処理を行う従来のこの種のラスタスキャン形3次元図形表示装置の一例のブロック構成図を示す。図において、1は、不図示のコンピュータとのインタフェース信号、2はインタフェース回路、

3は、このインタフェース回路2を通じて前記コンピュータより送られた表示データや表示コマンド等を内部フォーマットに変換するための制御装置、4は、内部フォーマットに変換された上記表示データや表示コマンド等を記憶するための記憶回路である。記憶回路4に記憶された上記データは、制御装置3の指示に基づき、座標変換回路5およびクリップ処理回路6を介して直線発生器7に入力される。また、8はデブスバッファメモリ、9はフレームバッファメモリ、10は、表示用CRT(陰極線管)11のインタフェース回路、12は、制御装置3への入力機器である。

前記クリップ処理回路6による従来のクリップ処理(“クリッピング”)は、例えば文献「コンピュータディスプレイによる図形処理工学」(山口富士夫著、昭和57年1月25日、日刊工業新聞社発行)の第138～144頁の“2次元クリッピング”の項の記載に示すように、X座標、Y座標のそれぞれ上/下限界で判定するよう構成

されていたため、表示は常に長方形の領域となっていた。

3次元クリッピングの場合は、さらに処理が複雑であるが、表示が長方形の領域となるのは上記2次元の場合と全く同様である。

第5図は、隠面処理アルゴリズムを実行するためのデプスバッファメモリ8の詳細ブロック構成図であり、符号1〜12は、それぞれ第4図におけると同一または相当構成要素を示す。31、32、33は、それぞれX-Y-Z3次元座標系において直線発生器7が発生する各座標データで、座標データ31は X_c 、座標データ32は Y_c 、座標データ33は Z_c である。34は、各座標データ31、32、33をサンプリングするためのストロブ信号である。35は、デプスバッファメモリ8から読出される2座標データ値 Z_c 、36は、2座標値の比較器で、各座標データ Z_c 33と Z_c 35とを比較して出力37を出力する。この出力37は $Z_c \leq Z$ を示すフラグ信号で、デプスバッファメモリ8に対する書込み信号

及びフレームバッファメモリ9に対する書込みフラグとなる。

次に動作について説明する。直線発生器7は、始点座標データ(X_s 、 Y_s 、 Z_s)および終点データ(X_e 、 Y_e 、 Z_e)に基づき、始点より終点に向い順次座標データを発生して、それらを隠面処理アルゴリズムを実行するためのデプスバッファメモリ8に与える。デプスバッファメモリ8は、直線発生器7が発生する座標データ(X_c 、 Y_c 、 Z_c)のうち座標データ X_c 31、 Y_c 32によりアドレスされるデプスバッファメモリ位置より座標データ Z_c 35を讀出し、 $Z_c \leq Z$ である場合、座標データ Z_c 33をそのメモリ位置に書込み、座標データ X_c 、 Y_c とデプスバッファメモリ8を更新したことを示す更新フラグ37とをフレームバッファメモリ9に与える。なお、デプスバッファメモリ8を更新しなかった場合には、座標データと更新フラグとは、フレームバッファメモリ9には入力されない。

4

フレームバッファメモリ9は、上記更新フラグを受取ると、座標データ X_c 、 Y_c によりアドレスされるフレームバッファメモリ9の位置に、予め設定されていた輝度あるいは色などの表示情報を書込む。フレームバッファメモリ9に書込まれたデータは、CRTインタフェース回路10が発生する表示アドレスに従って読出され、順次CRT11に送られて表示される。また、入力機器12により、必要に応じて制御装置3にデータが与えられるよう構成されていた。

(発明が解決しようとする課題)

しかしながら、従来例のこの種の図形表示装置は以上のように構成されていたため、長方形の領域でのクリッピングしか処理できず、任意の多角形による図形データのクリップ処理は、特殊なアルゴリズムに依存し、長い処理時間を要するという問題点があった。

この発明は、以上のような従来例の問題点を解消するためになされたもので、任意の多角形に

より図形データのクリップ処理を簡易かつ高速に処理することのできる手段の提供を目的としている。

(課題を解決するための手段)

このため、この発明に係る図形表示装置においては、例えば、デプスバッファメモリに対し初期化の値を制御するとともに、2座標値の比較を無視して強制的にデータを書込むモードを備えることにより、任意の多角形の形状での図形データクリップ処理を実行し得るよう構成することにより、簡便な目的を達成しようとするものである。

(作用)

以上のような構成により、この種の3次元図形表示装置における任意形状の枠による図形データのクリップ処理が可能となる。

(実施例)

以下に、この発明を実施例に基づいて説明する。

第1図に、この発明に係るこの種のラスタス

6

キャン形 3 次元図形表示装置の一実施例のブロック構成図を示す。

(構成)

図中、各符号 1~12、31~37 は、前述した従来例装置第 4、5 図におけるそれぞれ同一または相当構成要素を示し、重複説明は省略する。50 は、デプスバッファメモリ 8 に対し強制的に書き込む指示信号 51 を出力するための強制書き込みフラグで、不図示の手段により設定される。52 は、フレームバッファメモリ 9 への書き込みフラグで、デプスバッファメモリ 8 への書き込みフラグ 37 とは独立に制御される。

“強制書き込みモード”においては、直線発生器 7 の出力する座標データ $Z_c 33$ が、アドレス座標データ $X_c 31$ 、 $Y_c 32$ に従ってデプスバッファメモリ 8 に強制的に書き込まれるように構成してある。

(処理の流れ)

要約すると、処理の流れは以下になる。
(第 2 図デプスバッファメモリ 8 の各領域説明図

7

座標値 Z の比較は、 $Z_c < Z$ の場合にのみ、デプスバッファメモリ / フレームバッファメモリ 8 / 9 の書き込み信号 37 / 52 を出力し、データを更新する。その結果、最小値で初期化された、クリップ多角形 C P 外の図形データは、フレームバッファメモリ 9 に書き込まれず、任意多角形によるクリップ処理が実現される。

第 3 図は、第 2 図の一具体例としてサイコロ D を表示した図例で、破線部分はクリップされ、クリッピング多角形 C P 内のみ表示されていることを示している。

(発明の効果)

以上、説明したように、この発明によれば、3 次元図形表示装置における任意形状のクリップ枠による図形データのクリップ処理が簡易かつ高速に実行できるようになった。

4. 図面の簡単な説明

第 1 図は、この発明に係る図形表示装置の一実施例のブロック構成図、第 2 図は、第 1 図のデプスバッファメモリ 8 の各領域説明図、第 3 図

(参照)

1. まず、デプスバッファメモリ 8 を最小値で初期化する (A 領域)。

2. “強制書き込みモード”を設定し、内部に図形表示を行う任意のクリッピング多角形内に対応するデプスバッファメモリ 8 の領域に対し最大値を書込む (一例として、クリッピング多角形 C P の B 領域)。このとき最大値は直線発生器 7 より $Z_c 33$ として出力される。

(第 2 図)

このとき、フレームバッファメモリ 9 に対し書き込み信号を出力し、該当領域を指定の背景色で塗るようにしても差支えない。

3. デプスバッファメモリ 8 を通常の“比較書き込みモード”に設定し、図形データの表示処理を行う。

このとき、クリッピング多角形 C P を囲む最小の矩形領域をクリップ処理回路 6 に設定しておき、処理不要な線分はあらかじめ除去しておく。

8

は、第 2 図の一具体図例、第 4 図は、従来の図形表示装置の一例のブロック構成図、第 5 図は、第 4 図のデプスバッファメモリ 8 の詳細ブロック構成図である。

B …… デプスバッファメモリ

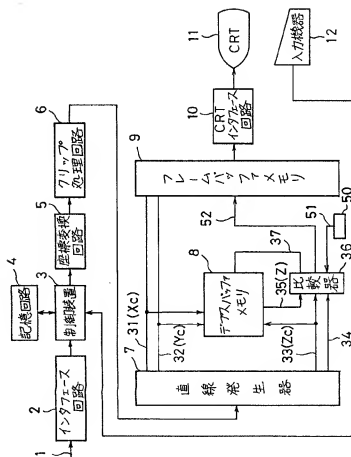
1 1 …… C R T

C P …… クリッピング多角形

なお、各図中、同一符号は、同一または相当構成要素を表わす。

代理人 大 岩 増 雄

第 1 図

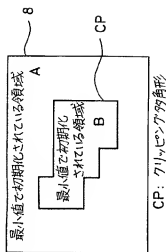


8 : テクスチャバッファメモリ

9 : フレームバッファメモリ

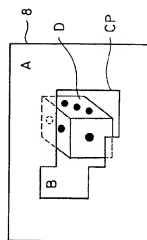
11 : CRT

第 2 図

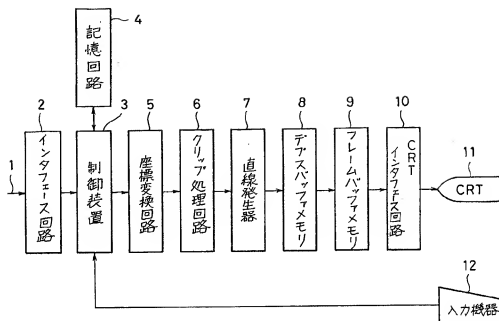


CP: クリッピング形状

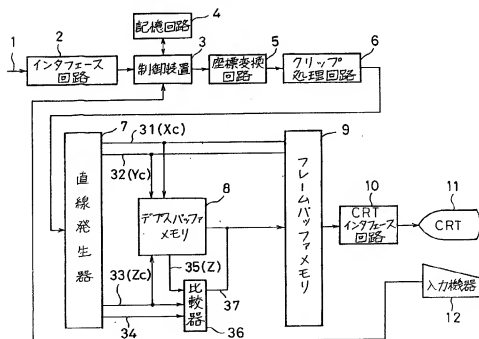
第 3 図



第 4 図



第 5 図



手続補正書(自発)

昭和 63 年 9 月 20 日

特許庁長官殿

1. 事件の表示 特願昭 63-71495号
2. 発明の名称 図形データクリップ処理方式

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 毅

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375) 赤塚 大 岩 雄 雄
(連絡先 03(213)3421特許部)

5. 補正の対象

図面第2図。

6. 補正の内容

(1) 図面第2図を別紙のとおり訂正する。

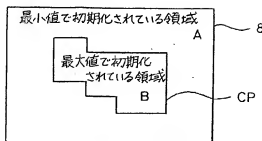
7. 添付書類の目録

(1) 補正後の図面第2図 1通

以上



第 2 図



CP: クリッピング多角形